

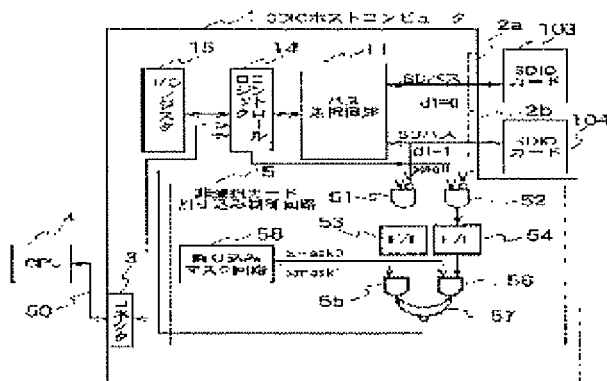
(11) Publication number : 2003-030127

(43) Date of publication of application : 31.01.2003

(21)Application number : 2001-219341 (71)Applicant : TOSHIBA  
MICROELECTRONICS  
CORP  
TOSHIBA CORP  
(22)Date of filing : 19.07.2001 (72)Inventor : SAKAGAMI KENJI

(57) Abstract:

SOLUTION: A host controller is provided with a means for informing the host CPU of an interruption signal when two or more card devices are mounted in a plurality of card slots and the card device mounted in the unselected card slot initiates the interruption. Consequently, when the card device mounted in the unselected card slot generates the interruption, the interruption can immediately be reported to the host CPU and interruption services can instantaneously be provided for all the mounted card devices if necessary.





## 【特許請求の範囲】

【請求項1】 SDIO規格のカードスロットを複数個備え、SDIOカードを装着したカードスロットを一つ選択して、選択したカードスロットに装着されているSDIOカードとホストCPUとを接続するホストコントローラにおいて、前記複数のカードスロットに少なくとも2枚以上のSDIOカードが装着されている場合、非選択のカードスロットに装着されているSDIOカードから発生された割り込み信号を検出して前記ホストCPUに通知する割り込み検出手段を、具備することを特徴とするSDIOホストコントローラ。

【請求項2】 前記割り込み検出手段は、前記SDIOカードから発生された割り込み信号を前記カードスロット対応で個別にマスクするマスク手段を具備することを特徴とする請求項1に記載のSDIOホストコントローラ。

【請求項3】 前記マスク手段は、予め設定された条件が成立すると、前記カードスロット対応で個別に前記割り込み信号をマスク或いはマスク解除を行うことを特徴とする請求項2に記載のSDIOホストコントローラ。

【請求項4】 前記非選択のカードスロットに装着されたSDIOカードを省電力のスタンバイモードにし、前記割り込み検出手段が前記スタンバイモードのSDIOカードから発生された割り込み信号を検出すると、当該SDIOカードを通常の電力消費モードに復帰させる消費電力制御手段を具備することを特徴とする請求項1又は2に記載のSDIOホストコントローラ。

【請求項5】 前記割り込み検出手段は、前記SDIOカードスロットに装着されたSDIOカードが割り込み信号としてSDIOバス上に出力するローレベル信号と前記SDIOカードスロットにSDIOカードが装着されているか否かを示す制御信号との論理積を取るアンド回路を、前記SDIOカードスロット対応で複数個備えることを特徴とする請求項1乃至4いずれかに記載のSDIOホストコントローラ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、SDIOカードスロットを複数備えた電子機器に係り、特にSDIOカードと前記電子機器が有するホストCPUとのインターフェースであるSDIOホストコントローラに関する。

## 【0002】

【従来の技術】従来より、SDメモ리카ードやIOカードのバスであるSDIOカードスロットを複数備える電子機器が開発されている。SDメモ리카ードはデジタルカメラの撮像画像データやデジタル音声データなどの様々なデータを格納することができるカード型のメモリである。例えば、デジタルカメラの撮像画像データを格納したSDメモ리카ードをパーソナルコンピュータに備え

られたSDIOカードスロットに装着して、格納されている撮像画像データをコンピュータ内に読み込むことにより、編集処理などを行うことができる。

【0003】図3は従来のSDIOホストコントローラの構成例を示したブロック図である。SDIOホストコントローラ1に備えられているSDIO規格のカードスロット2aに、例えば最初にSDメモ리카ード（カードデバイス）101が装着されたとする。その際、当該ホストコントローラを搭載するホストCPU4はPCIバス50、PCI規格のコネクタ3、I/Oレジスタ15、コントロールロジック14を介してバス選択制御回路11を制御してカードスロット2aを選択する。即ち、コントロールロジック14は制御信号用セクタ12とデータ用セクタ13を切り換えて、カードスロット2aをコントロールロジック14に接続すると共に、カードスロット2bを非選択として、コントロールロジック14から接続解除する。

【0004】これにより、ホストCPU4はPCIバス50、PCI規格のコネクタ3、I/Oレジスタ15を介して、カードスロット2aに差し込まれたSDメモ리카ード101に対してサービスを開始する。その後、IOカード102がカードスロット2bに差し込まれ、仮に、このIOカード102が割り込みを発生しても、これをホストCPU4に伝達する経路はなかった。

【0005】上記のような複数のSDIO規格のカードスロット2a、2bを複数備える機器では、複数のカードスロット2a、2bにそれぞれカードデバイス101、102が装着された場合でも、機器側のホストCPU4がサービスできるSDメモ리카ードは常に一枚だけである。その理由は、SDメモ리카ード101、102の性質上、非選択のカードスロットに装着されたSDメモ리카ードがホストCPU4に割り込みを出すなどということは想定されていないためである。

## 【0006】

【発明が解決しようとする課題】ところが、上記のようなSDIO規格のカードスロット2a、2bを備える機器で、複数のSDIOカードスロットに少なくとも1枚のIOカードを含む複数のSDメモ리카ード及びIOカードが装着されている場合、ホストCPU4によりSDメモ리카ード101がサービスを受けている時に、非選択のカードスロット2bに装着されているIOカード102がブルートゥースのインターフェース機能により受信などをして、ホストCPU4に割り込みを出すことが生じる。

【0007】しかし、従来は、SDIOホストコントローラはSDIOカードスロット2a、2bに装着されるカードデバイス（SDメモ리카ード、IOカード、SOIOカードなどの総称）は非選択時に割り込みなどを発生しないメモ리카ードを前提として規格されており、上記のような無線通信機能を有するカードデバイスの使用

が想定されていなかった。それ故、複数のカードデバイスから同時に割り込みが入ることが想定されていないため、即ち、上記の従来例では、非選択のカードスロット2bからカードデバイスの割り込みが発生しても、これをホストCPU4に通知する手段がなかった。このため、非選択のカードデバイスが緊急割り込みを出しても、ホストCPU4により割り込みサービスが直ちに受け付けられず、装置の応答性が悪くなるという重大な問題があった。

【0008】本発明は、上述の如き従来の課題を解決するためになされたもので、その目的は、非選択のカードスロットに装着されているカードデバイスから割り込みが発生した場合、この割り込みを直ちにホストCPUに通知することができ、装着されている全カードデバイスに対する割り込みサービスを必要があれば即時に行うことができるSDIOホストコントローラを提供することである。

【0009】

【課題を解決するための手段】上記目的を達成するために、第1の手段は、SDIO規格のカードスロットを複数個備え、SDIOカードを装着したカードスロットを一つ選択して、選択したカードスロットに装着されているSDIOカードとホストCPUとを接続するホストコントローラにおいて、前記複数のカードスロットに少なくとも2枚以上のSDIOカードが装着されている場合、非選択のカードスロットに装着されているSDIOカードから発生された割り込み信号を検出して前記ホストCPUに通知する割り込み検出手段を具備することを特徴とする。

【0010】本発明は、SDIOカードスロットを複数備える機器で、非選択のカードスロットに装着されたカードデバイスから割り込みが入った場合、非選択のカードデバイス割り込みを前記機器のホストCPUに通知する手段を備える。

【0011】

【発明の実施の形態】以下、本発明の実施形態を図面に基づいて説明する。図1は、本発明のSDIOホストコントローラの第1の実施形態に係る構成を示したブロック図である。但し、従来例と同様の部分には同一符号を付して説明する。

【0012】SDIOホストコントローラ1は、SDIOカードが装着されるカードスロット2a、2b、当該ホストコントローラが搭載される電子機器のホストCPU4をPCIバス50介して接続するPCI規格のコネクタ3、非選択のカードデバイスが割り込みを出した際に、これをホストCPU4に伝達する制御を行う非選択カード割り込み制御回路5、カードスロット2a、2bのいずれかのバスを選択するバス選択回路11、非選択カード割り込み制御回路5に制御信号を供給し、バス選択回路11から出力されるSDIOカードからのデータ

をシリアルパラレル変換などするフォーマット変換機能、I/Oレジスタ制御、ホストインターフェース機能、割り込み制御機能等を備えるコントロールロジック14、コントロールロジック14から出力されたデータを一旦保持し、ホストCPU4によりアクセスされるI/Oレジスタ15を有している。

【0013】非選択カード割り込み制御回路5は、アンド回路51、52、アンド回路51、52の出力をラッチするフリップフロップ(F/F)53、54、フリップフロップ(F/F)53、54の出力をマスクするためのアンド回路55、56、アンド回路55、56の出力のノアを取るノア回路57、アンド回路55、56を導通、遮断してマスク動作をさせる割り込みマスク回路58を有している。

【0014】次に本実施形態の動作について説明する。まず、SDIOホストコントローラ1のカードスロット2a、2bにSDIOカード(SDIO CARD)103、104を装着すると、コントロールロジック14はカードスロット2aにSDIOカード103が装着されたことを検知するとxsel1信号を“0”に、カードスロット2bに装着されたことを検知すると“1”にして、アンド回路51、52に出力する。これと同時に、SDIOホストコントローラ1のバス選択回路11はいずれか一方のカードスロットを選択するため、ホストCPU4は選択されたカードスロットに装着されているSDIOカードに対するサービスを開始する。アンド回路51、52によって選択されたスロットの割り込み信号の検出を、非選択カード割り込み制御回路5で検出しないようにする。なお、選択スロットのカード割り込みは従来と同様、コントロールロジック14で処理する。

【0015】ここで、バス選択回路11によりカードスロット2bが選択されて、ホストCPU4によりSDIOカード104に対するサービスが行われているものとする。その際、SDIOカード104がメモリデバイスであった場合、SDIOカード104から読み出されたデータはバス選択回路11を通り、コントロールロジック14によりフォーマットが変換されてI/Oレジスタ15に入力されて保持される。ホストCPU4はPCIバス50、コネクタ3を介してI/Oレジスタ15にアクセスして、保持されているデータを読み出す。

【0016】上記のような状況で、非選択のカードスロット2aに装着されたSDIOカード103が例えばブルートゥース機能を持っていて通信開始信号を受信した場合、カード割り込みをホストCPU4に通知すべく、SDバスで4b1もデータ信号(d0~d3)の中のd1信号をローレベル(“0”)にして、非選択カード割り込み制御回路5のアンド回路52に出力する。

【0017】これにより、アンド回路52の出力はハイレベル(“1”)になるため、これをフリップフロップ54がラッチする。フリップフロップ54によりラッチ

された“1”はアンド回路56に入力される。通常、割り込みマスク回路58はマスクを解除しているため、アンド回路55、56にハイレベル(xmask “1”)を供給しているため、アンド回路56は同通して“1”を出力し、これがノア回路57をによりローレベル (“0”) になって、コネクタ3に出力される。この“0”信号はコントロールロジック14内の割り込み制御ロジックを介してホストCPU4に入力されるため、ホストCPU4はSDIOカード103が割り込みを出したことを知ることができる。

【0018】ホストCPU4はこの割り込みを知ると、フリップフロップ54をクリアした後、予め設定されているカードスロット2a、2bの優先順位などを調べ、例えばカードスロット2aの優先順位が高い場合などは、PCIバス50、コネクタ3、I/Oレジスタ15、コントロールロジック14を介して、バス選択回路11を制御して選択カードスロットをカードスロット2aとし、非選択カードスロットをカードスロット2bとして、SDIOカード103に対するサービスを開始する。こうして、ホストCPU4はSDIOカード103が受信したデータを、バス選択回路11、コントロールロジック14、I/Oレジスタ15、コネクタ3、PCIバス50を介して入力して、SDIOカード103による通信を開始する。

【0019】尚、割り込みマスク回路58は、例えばカードスロット2a、2bに装着されたSDIOカード103、104がメモリデバイスの場合、これらは割り込みを発生しないため、誤信号を防ぐ目的で、アンド回路55、56にローレベル(xmask “0”)を出力することによってマスクをし、割り込み信号がホストCPU4に伝達されないようにすることもできる。

【0020】或いは、メモリデバイスのSDIOカード側のアンド回路のみにローレベル(xmask “0”)を出力して、メモリデバイスのSDIOカードから割り込み信号が出力されないようにすることもできる。更に、電源投入時の過渡時や割り込みを使用しないアプリケーションを使用する場合も、割り込みマスク回路58によりアンド回路55、56を遮断して、割り込み信号をマスクする。

【0021】本実施形態によれば、非選択のカードスロット2aに装着されたSDIOカード103から発生される割り込み信号を非選択カード割り込み制御回路5を通してホストCPU4に伝達することができる。これにより、カードスロット2a、2bに装着された全てのSDIOカード103、104に対し、ホストCPU4は必要があれば直ちにサービスを開始することができ、システムの応答性能が向上させることができる。

【0022】また、予め所定の条件、例えば電源オン時の過渡状態時など、割り込みマスク回路58によりSDIOカード103又は、104からの割り込み信号の検

出をマスクして誤動作を無くすることができ、また、割り込みを使用しないアプリケーションソフトを使用することができる。

【0023】図2は本発明のSDIOホストコントローラの第2の実施形態に係る構成を示したブロック図である。本例の構成は図1に示した第1の実施形態とほぼ同様であるが、カードスロット2a、2bに装着されたSDIOカード103、104に対する消費電源のレベルを状況に応じて自由に制御する機能を有するところが異なる点である。

【0024】この機能を実現するために、SDIOカード103、104に電源を供給する。電源供給回路6とSDIOカード103、又は104が出した割り込み信号を検出する割り込み検出回路7が設けられている。

【0025】次に本実施形態の動作について説明する。電源投入時、ホストCPU4はPCIバス50、コネクタ3、I/Oレジスタ15、コントロールロジック14を介して電源供給回路6を制御して通常モードの3.3Vの電源をSDIOカード103、104に供給して、初期設定を行う。

【0026】ホストCPU4が、例えば、カードスロット2bを選択すると共に電源供給回路6を制御して、通常モードの電源3.3Vを選択されたSDIOカード104に供給し、1.5Vのスタンバイモードの電源を非選択のSDIOカード103に供給する。

【0027】その後、非選択のSDIOカード103が割り込み信号を出すと、図1に示した実施形態と同様の動作により、アンド回路56の出力がハイレベルになるため、割り込み検出回路7がSDIOカード103が割り込みを出したことを検出し、これを電源供給回路6に知らせる。電源供給回路6はSDIOカード103が割り込みを出したことを知ると、通常モードの電源3.3VをSDIOカード103に供給して、各種動作を行えるようにする。

【0028】本実施形態によれば、非選択のSDIOカードに対しては割り込み信号などを出せるだけのスタンバイモードの電源を供給し、このカードに割り込み信号を出した時には直ちに通常モードの電源を供給するようにして省電力化を図ることができる。他の動作は図1に示した第1の実施形態と同様で同様の効果がある。

【0029】尚、本発明は上記実施形態に限定されることなく、その要旨を逸脱しない範囲において、具体的な構成、機能、作用、効果において、他の種々の形態によっても実施することができ、例えば、カードスロットが3個以上ある電子機器においても本発明を適用して同様の効果を得ることができる。

【0030】

【発明の効果】以上詳細に説明したように、本発明のSDIOホストコントローラによれば、非選択のカードスロットに装着されているカードデバイスから割り込みが

発生した場合、この割り込みを直ちにホストCPUに通知することができ、カードスロットに装着されている全カードデバイスに対する割り込みサービスを必要があれば即時に行うことができ、システムの応答性能を向上させることができる。

【図面の簡単な説明】

【図1】本発明のSDIOホストコントローラの第1の実施形態に係る構成を示したブロック図である。

【図2】本発明のSDIOホストコントローラの第2の実施形態に係る構成を示したブロック図である。

【図3】従来のSDIOホストコントローラの構成例を示したブロック図である。

【符号の説明】

1 SDIOホストコントローラ

2a、2b カードスロット

3 コネクタ

4 ホストCPU

5 非選択カード割り込み制御装置

6 電源供給回路

7 割り込み検出回路

11 バス選択回路

14 コントロールロジック

15 1/Oレジスタ

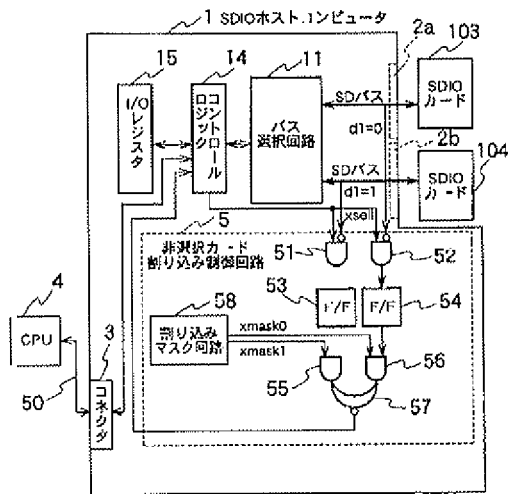
51、52、55、56 アンド回路

53、54 フリップフロップ

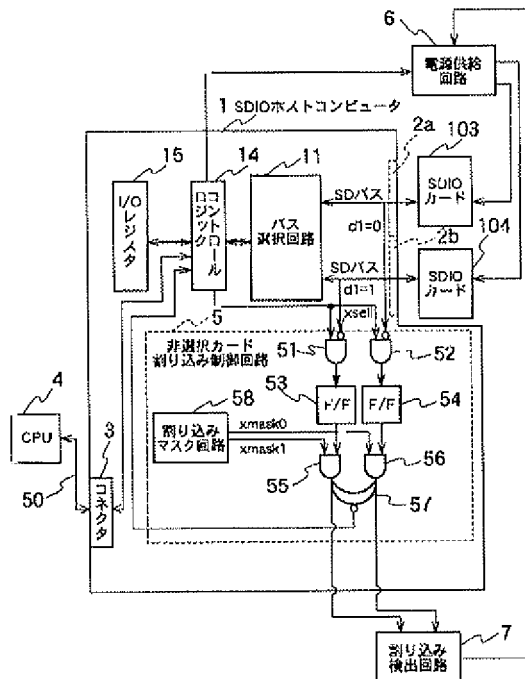
57 ノア回路

58 割り込みマスク回路

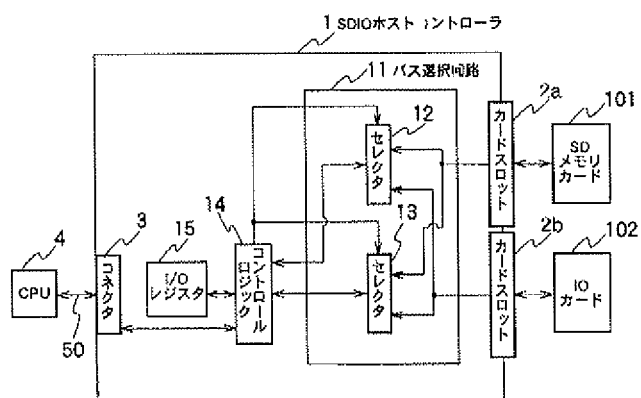
【図1】



【図2】



【図3】



フロントページの続き

Fターム(参考) 5B011 DA01 EA06 EA10 LL12 LL14  
5B058 CA02 CA13 KA12  
5B061 BA02 CC00 CC10